

PAT-NO: JP02001156989A

DOCUMENT-IDENTIFIER: **JP 2001156989 A**

TITLE: IMAGE READER

PUBN-DATE: June 8, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
TAMAGAWA, TOSHIMITSU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ROHM CO LTD	N/A

APPL-NO: JP11331493

APPL-DATE: November 22, 1999

INT-CL (IPC): H04N001/028

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an image reader, with which the reduction of power consumption is promoted by suppressing useless power consumption without making reading of an image unstable.

SOLUTION: Concerning the image reader having plural chips K₁, K₂, ..., K_m respectively having an optic/electric converting element for converting an optical signal to an electric signal for successively reading the optic/electric converted signals of the electric signal provided by the optic/electric converting element from the plural chips K₁, K₂, ..., K_m, a circuit related to reading of the optic/electric converted signals out of the respective chips K₁, K₂, ..., K_m can be operated just from the reading start of the optic/electric converted signal from that chip before prescribed

time to
the end of reading.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-156989

(P2001-156989A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl.⁷
H 0 4 N 1/028

識別記号

F I
H 0 4 N 1/028

テマコト^{*}(参考)
A 5 C 0 5 1

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号 特願平11-331493

(22)出願日 平成11年11月22日(1999.11.22)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 玉川 傑光

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100085501

弁理士 佐野 静夫

Fターム(参考) 50051 AA01 BA03 DA03 DB01 DB08

DB13 DB14 DB16 DB18 DC03

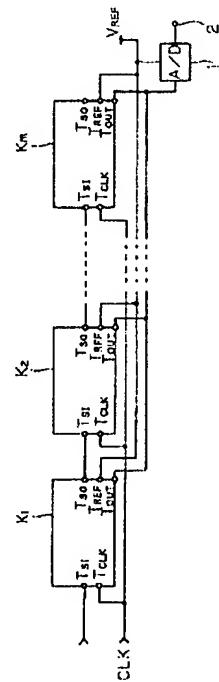
DC07 DE02 DE15 DE17 EA09

(54)【発明の名称】 画像読み取り装置

(57)【要約】

【課題】 画像の読み込みを不安定にすることなく、無駄な消費電力を抑制することによって低消費電力化を促進した画像読み取り装置を提供する。

【解決手段】 光信号を電気信号に変換する光電変換素子をそれぞれ有する複数のチップK₁、K₂、…、K_nを有し、光電変換素子で得られた電気信号である光電変換信号を複数のチップK₁、K₂、…、K_nから順次読み出す画像読み取り装置において、各チップK₁、K₂、…、K_nの光電変換信号の読み出しに関与する回路について、そのチップから光電変換信号の読み出しを開始する所定時間前から読み出しを終了するまでの間のみ、動作を可能にする。



【特許請求の範囲】

【請求項1】 光信号を電気信号に変換する光電変換素子をそれぞれ有する複数のチップを有し、前記光電変換素子で得られた電気信号である光電変換信号を該複数のチップから順次読み出す画像読み取り装置において、前記各チップの所定の回路について、そのチップから前記光電変換信号の読み出しを開始する所定時間前から読み出しを終了するまでの間のみ、動作を可能にするようにしたことを特徴とする画像読み取り装置。

【請求項2】 画像を読み取るための読み取り用のフォトダイオードと、該読み取り用のフォトダイオードの信号を処理して出力する出力回路と、スタートトリガが入力されると前記出力回路の動作を可能にし、また、前記出力回路の動作が終了すると前記出力回路の動作を不能にする出力動作可否切り替え手段と、

前記出力回路の動作が可能になった後、所定時間が経過すると前記出力回路が動作を開始するように制御する出力制御手段と、

前記出力回路が動作を終了する前にエンドトリガを出力するエンドトリガ出力手段と、をそれぞれ有する第1、第2、…、第nのチップを有し、第i (i = 1、2、…、n - 1) のチップの前記エンドトリガ出力手段が出力する前記エンドトリガを第(i + 1) のチップの前記出力動作可否切り替え手段に前記スタートトリガとして入力する構成であることを特徴とする画像読み取り装置。

【請求項3】 前記第1、第2、…、第nの各チップが、前記読み取り用のフォトダイオードとは別に、所定の周期で所定の電圧にセットされるダミーのフォトダイオードを有し、前記出力回路が前記読み取り用のフォトダイオードの信号と前記ダミーのフォトダイオードの信号との差分をとって出力する構成であることを特徴とする請求項2に記載の画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像読み取り装置に関するものである。

【0002】

【従来の技術】画像読み取り装置は、その概略構成を図3に示すように、複数のICチップK₁、K₂、…、K_mを不図示の印刷配線ボード上に一列に配置実装して成る。これらの各ICチップK₁、K₂、…、K_mは、そのブロック構成を図4に示すように、光信号を電気信号に変換する光電変換部100と、光電変換信号（光電変換部100で得られた電気信号）を処理して出力する出力部200と、光電変換部100及び出力部200の動作を制御する制御部300とで構成される。

【0003】各ICチップの制御部300が連携して動

作することにより、ICチップK₁、K₂、…、K_mの順に光電変換信号が出力部200で処理されて出力される。そして、各ICチップK₁、K₂、…、K_mから出力された信号はA/D変換器1でデジタル信号に変換されて出力端子2から外部へ出力される。

【0004】

【発明が解決しようとする課題】しかしながら、このような画像読み取り装置では、個々のICチップで見ると、出力部200は所定の周期で動作するが、従来は、各ICチップの出力部200の動作を常時可能にしていたため、動作しない出力部においても電力消費が発生し、無駄な消費電力が大きかった。

【0005】そこで、本発明は、画像の読み込みを不安定にすることなく、無駄な消費電力を抑制することによって低消費電力化を促進した画像読み取り装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記の目的を達成するため、本発明では、光信号を電気信号に変換する光電変換素子をそれぞれ有する複数のチップを有し、前記光電変換素子で得られた電気信号である光電変換信号を該複数のチップから順次読み出す画像読み取り装置において、前記各チップの所定の回路について、そのチップから前記光電変換信号の読み出しを開始する所定時間前から読み出しを終了するまでの間のみ、動作を可能にするようしている。

【0007】この構成により、各チップでは、光電変換信号の読み出しを開始する所定時間前に所定の回路の動作が可能となり、光電変換信号の読み出しを終了した後には所定の回路の動作が不能となり、また、上記所定時間が適切に設定されていれば、所定の回路の動作が可能となった後、過渡状態を経て安定した状態になってから、光電変換信号の読み出しが開始される。

【0008】

【発明の実施の形態】以下に、本発明の実施形態を図面を参照しながら説明する。本発明の一実施形態である画像読み取り装置を構成する各ICチップの構成を図1を用いて説明する。

【0009】光電変換素子であるフォトダイオードD₀、D₁、D₂、…、D_nのアノードはグランドに接続されており、一方、それらのカソードはそれぞれ増幅用のpチャネルのMOS型トランジスタA₀、A₁、A₂、…、A_nのゲートに接続されている。

【0010】尚、フォトダイオードD₀は画像の読み取りには関与しないものであり、以下、「ダミーフォトダイオード」と言うものとする。これに対して、フォトダイオードD₁、D₂、…、D_nは画像を読み取るためのものであり、以下、「読み取り用のフォトダイオード」と言うものとする。

【0011】トランジスタA₀、A₁、A₂、…、A_nのソ

ースはそれぞれ一端が電源に接続された定電流源 I_0 、 I_1 、 I_2 、…、 I_n に接続されている。トランジスタ A_0 、 A_1 、 A_2 、…、 A_n のドレインはグランドに接続されている。

【0012】バイアス電圧供給回路3は正の直流電圧を安定して出力する。バイアス電圧供給回路3から出力される電圧（以下、「バイアス電圧」と言う）は、スイッチング用のnチャネルのMOS型トランジスタ B_0 、 B_1 、 B_2 、…、 B_n を介してそれぞれフォトダイオード D_0 、 D_1 、 D_2 、…、 D_n のカソードに印加される。

【0013】トランジスタ B_0 のゲートにはロジック回路4の端子 M_0 から出力される信号が与えられている。トランジスタ B_1 、 B_2 、…、 B_n のゲートにはそれぞれシフトレジスタ5の端子 M_1 、 M_2 、…、 M_n から出力される信号が与えられている。

【0014】トランジスタ A_1 、 A_2 、…、 A_n のソースはそれぞれスイッチング用のnチャネルのMOS型トランジスタ C_1 、 C_2 、…、 C_n を介してnチャネルのMOS型トランジスタ Q_1 のゲートに接続されている。トランジスタ A_0 のソースはnチャネルのMOS型トランジスタ Q_2 のゲートに直接接続されている。

【0015】トランジスタ C_1 、 C_2 、…、 C_n のゲートにはそれぞれシフトレジスタ5の端子 O_1 、 O_2 、…、 O_n から出力される信号が与えられている。トランジスタ Q_1 、 Q_2 のソースはそれぞれ一端がグランドに接続された定電流源6、7に接続されている。トランジスタ Q_1 、 Q_2 のドレインには電源電圧 V_{DD} が印加されている。

【0016】バッファアンプ8及び9は演算増幅器の出力を反転入力端子（-）に帰還した構成であり、バッファアンプ8、9の入力側（演算増幅器の非反転入力端子（+））はそれぞれトランジスタ Q_1 、 Q_2 のソースに接続されている。

【0017】すなわち、読み取り用のフォトダイオード D_1 、 D_2 、…、 D_n の電圧はそれぞれトランジスタ A_1 、 A_2 、…、 A_n を用いて構成されたソースフォロワ回路及びトランジスタ Q_1 を用いて構成されたソースフォロワ回路を介してバッファアンプ8に入力されている。また、ダミーフォトダイオード D_0 の電圧はトランジスタ A_0 を用いて構成されたソースフォロワ回路及びトランジスタ Q_2 を用いて構成されたソースフォロワ回路を介してバッファアンプ9の入力されている。

【0018】バッファアンプ8の出力側（演算増幅器の出力端子）は抵抗 R_1 を介して演算増幅器10の非反転入力端子（+）に、バッファアンプ9の出力側は抵抗 R_2 を介して演算増幅器10の反転入力端子（-）に、それぞれ接続されている。

【0019】演算増幅器10の非反転入力端子（+）にはICチップの端子 T_{REF} に外部から印加される基準電圧が抵抗 R_4 を介して印加されている。演算増幅器10

の出力端子は、抵抗 R_3 を介して演算増幅器10の反転入力端子（-）に接続されるとともに、演算増幅器11の非反転入力端子（+）に接続されている。

【0020】演算増幅器11の反転入力端子（-）には、抵抗 R_5 を介して演算増幅器11の出力端子に接続されているとともに、端子 T_{REF} に外部から印加される基準電圧が抵抗 R_6 を介して印加されている。

【0021】バッファアンプ15は演算増幅器の出力を反転入力端子（-）に帰還した構成であり、バッファアンプ15の入力側には、コンデンサ12を介して演算増幅器11の出力端子が接続されるとともに、端子 T_{REF} に外部から印加される基準電圧がアナログスイッチ13を介して印加されている。

【0022】そして、ロジック回路4の端子 L_1 から出力される信号が、アナログスイッチ13を構成するnチャネルのMOS型トランジスタのゲートにはそのまま与えられ、一方、アナログスイッチ13を構成するnチャネルのMOS型トランジスタのゲートにはインバータ14を介して与えられている。すなわち、アナログスイッチ13は、ロジック回路4の端子 L_1 から出力される信号がハイレベルのときにONであり、同信号がローレベルのときにOFFである。

【0023】尚、アナログスイッチ13が先頭の読み取り用のフォトダイオード D_1 の電圧を読み出す前に所定の期間だけONするように、ロジック回路4によって制御される。

【0024】バッファアンプ15の出力はアナログスイッチ16を介してICチップの端子 T_{OUT} から外部に出力される。そして、ロジック回路4の端子 L_2 から出力される信号が、アナログスイッチ16を構成するnチャネルのMOS型トランジスタのゲートにはそのまま与えられ、一方、アナログスイッチ16を構成するnチャネルのMOS型トランジスタのゲートにはインバータ17を介して与えられている。すなわち、アナログスイッチ16は、ロジック回路4の端子 L_2 から出力される信号がハイレベルのときにONであり、同信号がローレベルのときにOFFである。

【0025】尚、最初の読み取り用のフォトダイオード D_1 の電圧を読み出す直前から最後のフォトダイオード D_n の電圧の読み出しを完了するまでの間、アナログスイッチ16がONしているように、ロジック回路4によって制御される。

【0026】定電流源駆動回路18は各定電流源 I_0 、 I_1 、 I_2 、…、 I_n 、6、7を駆動する回路であり、その動作はロジック回路4によって制御されるようになっている。具体的には、ロジック回路4の端子 P から出力される信号がローレベルであるときには、定電流源駆動回路18の動作が可能であり、一方、同信号がハイレベルであるときには、定電流源駆動回路18の動作が不能

50 であるようになっている。

【0027】尚、バイアス電圧供給回路3、バッファアンプ8、9、15、及び、演算増幅器10、11に関しても、ロジック回路4の端子Pから出力される信号がローレベルのときには、動作が可能であり、一方、同信号がハイレベルであるときには、動作が不能であるようになっている。以下において、定電流源駆動回路18を含むこれらの回路の動作を「出力動作」と称するものとする。

【0028】ロジック回路4は、ICチップの端子T_{CLK}に外部から入力されるクロック信号とICチップの端子T_{ST}に外部から入力されるスタートトリガ信号とを入力している。尚、各ICチップに入力されるクロック信号は共通である。そして、ロジック回路4は、入力するクロック信号を反転させた信号を端子M₀から出力する。

【0029】したがって、クロック信号、スタートトリガ信号がそれぞれ図2にCLK、STで示すようなものであるとすると、端子M₀から出力される信号は、同図にSB₀で示すようになり、トランジスタB₀は例えば時刻t₁～t₂の間、t₃～t₄の間、t₅～t₆の間でOFF、時刻t₂～t₃の間、t₄～t₅の間でONというように、クロック信号CLKの半周期毎にON/OFFが切り換わる。

【0030】尚、トランジスタB_k(k=0、1、2、…、n)がONすると、フォトダイオードD_kには逆方向にバイアス電圧が印加され、所定量の電荷が蓄積される。尚、以下において、このことを「フォトダイオードD_kがリセットされる」と言う。リセットが解除された後は、蓄積された電荷が入射光に応じて放電して電流が流れるので、フォトダイオードD_kは入射光に応じた電圧を示すことになる。

【0031】また、ロジック回路4は、図2に示すように、スタートトリガ信号STのパルスの立ち上がり後、クロック信号CLKの最初の立ち下がりで、端子Pから出力する信号S_Pをハイレベルからローレベルに変化させる。これにより、最初の読み取り用のフォトダイオードD₁の電圧を読み出す所定時間前である図2中の時刻t₀で出力動作が可能となる。

【0032】さらに、ロジック回路4は、図2に示すように、シフトレジスタ5の端子O_nから出力される信号SC_nがローレベルからハイレベルに変化するときに（言い換えると、トランジスタC_nがONからOFFに切り換わるときに）、端子Pから出力する信号S_Pをローレベルからハイレベルに変化させる。これにより、最後の読み取り用のフォトダイオードD_nの電圧の読み出しが終了すると同時に、出力動作が不能となる。

【0033】スタートトリガ信号及びクロック信号は、ロジック回路4を通して、シフトレジスタ5にも入力されている。シフトレジスタ5は、スタートトリガ信号の立ち上がり後、クロック信号の立ち下がりに同期して、

クロック信号の1周期に等しいパルス幅をもつ負のパルスを端子O₁、O₂、…、O_nから順次出力する。尚、クロック信号の回数はロジック回路4で計数されており、所定回数（本実施形態では6回）後にシフトレジスタ5へクロックが供給されるようになっている。

【0034】したがって、端子O₁、O₂、…、O_nからそれぞれ出力される信号は図2にSC₁、SC₂、…、SC_nで示すようになり、時刻t₁～t₆の間にトランジスタC₁がONし、時刻t₃～t₆の間にトランジスタC₂が

10 ONし、…というように、トランジスタC₁、C₂、…、C_nが順次クロックの1周期だけONとなって、読み取り用のフォトダイオードD₁、D₂、…、D_nの電圧が順次トランジスタQ₁のゲートに導かれる。

【0035】また、シフトレジスタ5は、スタートトリガ信号の立ち上がり後であって、クロック信号が一度立ち下がった後のクロック信号の6回目以降の立ち上がりに同期して、クロック信号の1周期に等しいパルス幅をもつ負のパルスを端子M₁、M₂、…、M_nから順次出力する。

20 【0036】したがって、端子M₁、M₂、…、M_nからそれぞれ出力される信号は図2にSB₁、SB₂、…、SB_nで示すようになり、時刻t₂～t₆の間にトランジスタB₁がONし、時刻t₄～t₆の間にトランジスタB₂がONし、…というように、トランジスタB₁、B₂、…、B_nが順次クロックの1周期だけONとなって、フォトダイオードD₁、D₂、…、D_nが順次リセットされる。

【0037】このため、例え先頭の読み取り用のフォトダイオードD₁の電圧についてみると、トランジスタC₁が時刻t₁～t₃の間にONして読み出されるが、時刻t₂～t₃の間（すなわち、読み出し期間の後半）にはトランジスタB₁もONしてリセットされるので、時刻t₁～t₂の間（すなわち、読み出し期間の前半）に読み出された信号のみが有効となる。同様に、他の読み取り用のフォトダイオードD₂、D₃、…、D_nについても、読み出し期間の前半に読み出された信号のみが有効となる。

【0038】さらに、シフトレジスタ5は、最後の読み取り用のフォトダイオードD_nの読み出しを終了する前に、端子Eから正のパルスであるエンドトリガを出力する。具体的には、端子Eから出力される信号を図2にSEで示すように、端子O_nから出力する信号SC_nがローレベルからハイレベルに変化するときから数えて6個前のクロック信号CLKの立ち下がり後、クロック信号CLKの1周期よりも短い所定の時間t_dが経過すると、端子EからエンドトリガETRGを出力する。

【0039】そして、シフトレジスタ5の端子Eから出力される信号は、ICチップの端子T_{SD}から外部に出力され、次のICチップの端子T_{SI}に入力される、すなわち、次のICチップにてスタートトリガ信号として用いられる。したがって、次のICチップでは、ロジック回

路4の端子Pから出力される信号、シフトレジスタ5の端子O₁、M₁、O₂、M₂、…から出力される信号はそれぞれ図2にS_{P'}、S_{C1'}、S_{B1'}、S_{C2'}、S_{B2'}…で示すようになり、次のICチップにおいても、先頭の読み取り用のフォトダイオードD₁の電圧を読み出す所定時間前に出力動作が可能となる。

【0040】以上の構成により、抵抗R₁、R₂、R₃、R₄、R₅、R₆の抵抗値を適切に設定しておけば、読み取り用のフォトダイオードD₁、D₂、…、D_nの電圧について、ダミーフォトダイオードD₀の電圧との差分が増幅されて順次出力されるので、ICチップ間でフォトダイオードの電圧レベルに製造ばらつきがあったとしても、ICチップ毎の出力レベルが均一なものとなる。

【0041】というのは、ダミーフォトダイオードD₀はクロック信号CLKの半周期毎にリセットされているので、ダミーフォトダイオードD₀の電圧は、実質的には、製造ばらつきによる電圧レベルの誤差分のみを示すことになり、各読み取り用のフォトダイオードD₁、D₂、…、D_nの電圧とダミーフォトダイオードD₀の電圧との差分をとることで、製造ばらつきによる誤差分が打ち消されるからである。

【0042】また、本実施形態の画像読み取り装置を構成する各ICチップでは、最初の読み取り用のフォトダイオードD₁の電圧の読み出しを開始する所定時間(図2中に示す時刻t₀～t₁までのクロック信号CLKの5周期分の時間)前から最後の読み取り用のフォトダイオードD_nの読み出しを終了するまでの間にのみ出力動作を可能としているので、各ICチップにて常時出力動作を可能としている場合に比して、低消費電力化が促進される。

【0043】そして、上記所定時間が適切に設定されていれば、出力動作が可能となった後、過渡状態を経て安定した状態になってから、読み取り用のフォトダイオードの電圧の読み出しが開始されるので、各チップで読み込まれる信号が不安定となることはない、すなわち、読み込んだ画像が不安定になることはない。

【0044】尚、本実施形態の画像読み取り装置では、各ICチップを連続的に動作させるようになっているが(図2参照)、次チップの出力タイミングを更に遅らせて、前チップの動作終了の影響を受けなくなつてから次チップでの読み込みを行うようにしてもよい。

【0045】

【発明の効果】以上説明したように、本発明の画像読み取り装置によれば、各ICチップでは、光電変換信号の

読み出しを開始する所定時間前に出力動作が可能となり、光電変換信号の読み出しを終了した後には出力動作が不能となるので、上記所定時間を適切に設定することによって、出力動作が可能となった後、過渡状態を経て安定した状態になってから光電変換信号の読み出しが開始されるようにしておけば、読み込んだ画像を不安定にすることなく、低消費電力化を促進することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である画像読み取り装置を構成する各ICチップ内部の回路構成を示す図である。

【図2】本発明の一実施形態である画像読み取り装置を構成する各ICチップにおける各信号のタイミングチャートである。

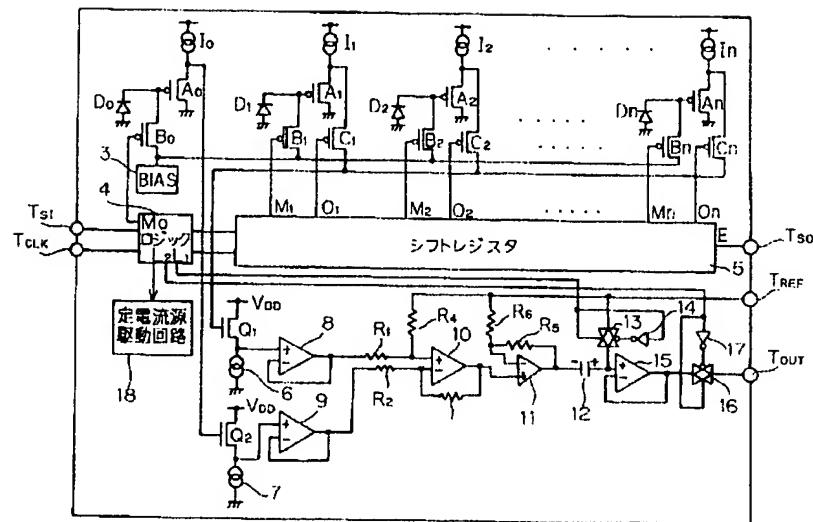
【図3】画像読み取り装置全体の概略構成を示す図である。

【図4】画像読み取り装置を構成する各ICチップ内部のブロック構成を示す図である。

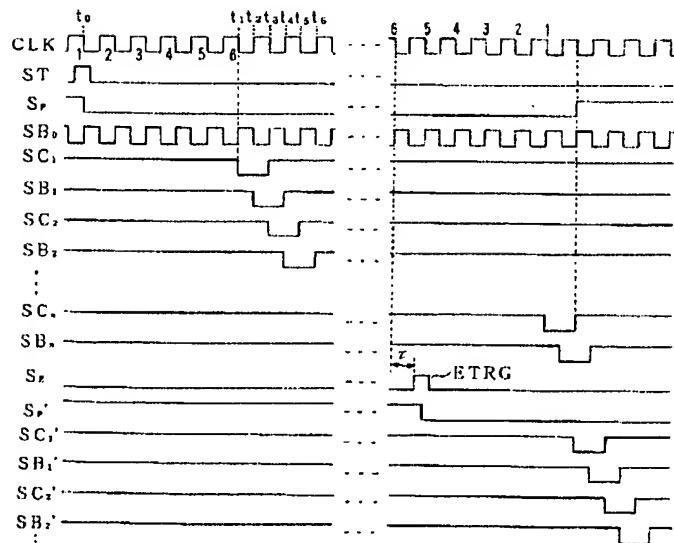
【符号の説明】

20	1	A／D変換器
	2	出力端子
	3	バイアス電圧供給回路
	4	ロジック回路
	5	シフトレジスタ
	6、7	定電流源
	8、9	バッファアンプ
	10、11	演算増幅器
	12	コンデンサ
	13	アナログスイッチ
30	14	インバータ
	15	バッファアンプ
	16	アナログスイッチ
	17	インバータ
	18	定電流源駆動回路
	A ₀ 、A ₁ 、A ₂ 、…、A _n	pチャネルのMOS型トランジスタ
	B ₀ 、B ₁ 、B ₂ 、…、B _n	pチャネルのMOS型トランジスタ
	C ₀ 、C ₁ 、C ₂ 、…、C _n	pチャネルのMOS型トランジスタ
40	D ₀ 、D ₁ 、D ₂ 、…、D _n	フォトダイオード
	I ₀ 、I ₁ 、I ₂ 、…、I _n	定電流源
	Q ₁ 、Q ₂	nチャネルのMOS型トランジスタ
	R ₁ 、R ₂ 、R ₃ 、R ₄ 、R ₅ 、R ₆	抵抗

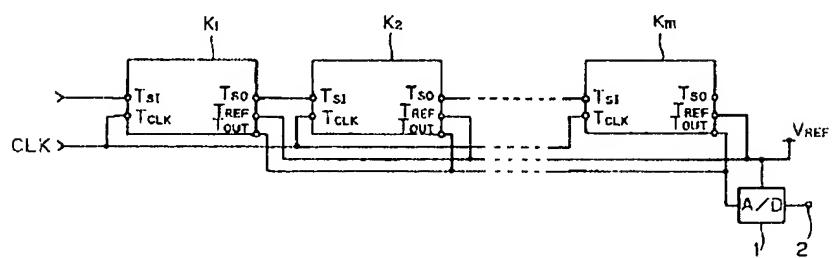
【図1】



【図2】



【図3】



【図4】

